

# CLASS D AUDIO POWER AMPLIFIER WITH INTEGRATED DSP

**Tamás Borsányi**

Bachelor Degree Programme (3), FEEC BUT

E-mail: xborsa00@stud.feec.vutbr.cz

Supervised by: Tomáš Kratochvíl

E-mail: kratot@feec.vutbr.cz

**Abstract:** This project deals with design and development of a class D audio amplifier with DSP functions. The project includes both, hardware and software implementations. The goal is to create a high quality, user friendly audio amplifier system including extended tone corrections, and to create an effective code to control the DSP in real time. These expectations meet integrated class D amplifier and DSP processor controlled by a microcontroller, supplemented with a graphical display and IR remote control.

**Keywords:** class D, DSP, A/D converter, microcontroller, equalizer, biquad, IIR filter, display.

## 1. ÚVOD

Nizkofrekvenčné zosilňovače triedy D sú moderným, elektricky efektívnym riešením na reprodukciu hudby. Niekedy je požiadavkou takýto zosilňovač doplniť aj tónovou korekciou. Moderné techniky dovoľia signál korigovať digitálne. Digitálna filtrácia signálu prináša množstvo výhod ohľadom na flexibilitu a kvalitu požadovaných filtrov. Riadený týmito faktami sa rozhodlo vytvoriť audio zosilňovač v triede D s integrovanými DSP funkciami [1]. Práca obsahuje zosilňovače triedy D v konfigurácii 2.1, dva satelity a subwoofer, ďalej DSP procesor, do ktorého sa naimplementovalo 7 pásmový equalizér. Ako riadiaci procesor sa zvolilo 8 bitový mikrokontrolér.

## 2. ROZBOR

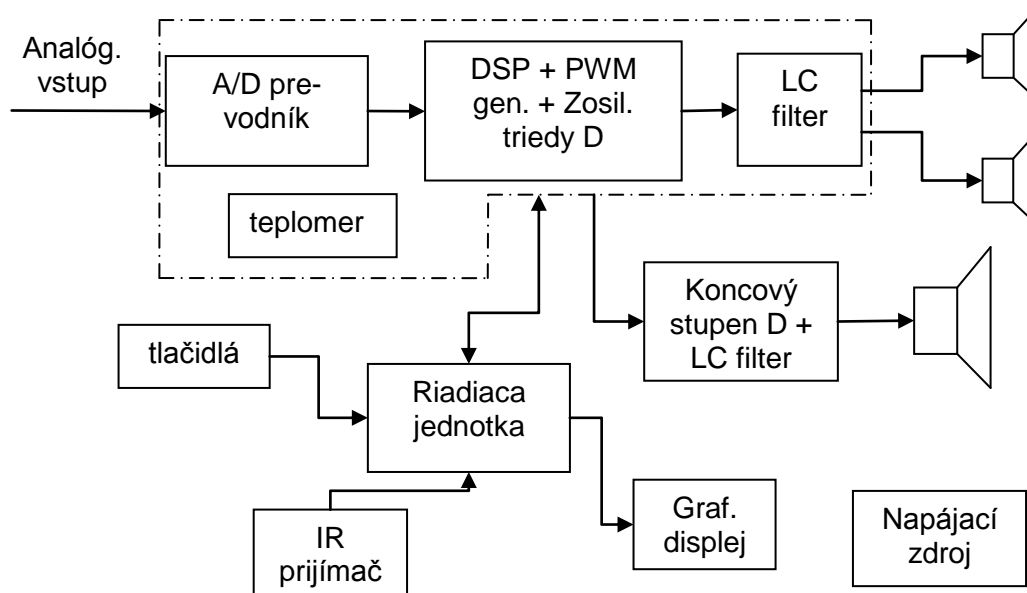
Práca zostáva z dvoch väčších a veľmi odlišných problematík, ktoré sa ale neoddeliteľné od seba. Prvotne bolo treba navrhnuť obvodové zapojenie (hardware) z najvhodnejších súčiastok, nasledovne sa vytvorilo aj software, riadenie celého systému.

### 2.1. NÁVRH HARDWARU

Základným blokom celého systému je DSP procesor. Bolo potrebným si zvoliť správny digitálny signálový procesor. Dobrou voľbou sa zдал byť obvod TAS5706A [2], ktorý má integrované DSP funkcie a aj koncové stupne triedy D. Týmto sa šporilo na rozmeroch celého systému. DSP má pevne danú konfiguráciu (dopredu vytvorené matematické modeli rôznych filtrov), tým pádom nie je možné implementovať si vlastné matematické modeli (efekty a filtre). Jedinou možnosťou je zapojenie alebo premostenie jednotlivých blokov a zmena jednotlivých parametrov (koeficientov). V našom prípade však tento fakt je výhodou, pretože na vytvorenie 7 pásmového equalizéru a zmenu formátu zo stereo (2.0) na 2.1 tento obvod bohato vystačí.

TAS5706A pracuje len s digitálnym signálom, nemá zabudovaný A/D prevodník. Návrh sa preto muselo doplniť dostatočne kvalitným prevodníkom. Zvolilo sa A/D prevodník PCM1850A [3], ktorý dokáže s 64x prevzorkovaním (48kHz základná frekvencia) a 24 bitovou hĺbkou zmeniť analógový signál na číslicový. A/D prevodník ďalej obsahuje aj antialiasing filter, tým pádom netreba pridávať ďalšie analógové súčiastky (menší rozmer a šum: SNR  $\approx$  101dB).

Nasledujúcim významným blokom je blok riadiacej jednotky. Pri výbere kontroléru boli prvotné parametre: dostatočný počet vstupne výstupných portov, dostatočný počet externých prerušení, hardwarová podpora SPI a I2C zberníc, aspoň dve časovače, a v neposlednej rade dostatok pamäte na program a dostatočná rýchlosť pri riadení. Riadiaci kontrolér je doplnený o externú flash pamäť. Dôvodom je veľké rozlíšenie displeja a potreba uložení minimálne 10 obrázkov v plnom rozlíšení, navyiac bez komprimácie. Ako zobrazovač bol použitý monochromatický grafický displej s rozlíšením 101 x 64 pixlov (totožný s modelom z telefónu SIEMENS C55). Bloková schéma systému je na obrázku 1.



**Obrázok 1:** Bloková schéma kompletného zosilňovača

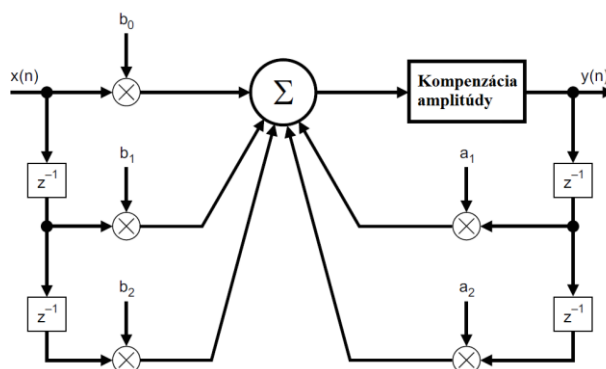
## 2.2. NÁVRH SOFTWARE

Pri písaní programu bolo prvotným plne využiť zabudované periférie mikrokontroléru. S využitím zabudovaného radiča SPI zbernice sa riešilo komunikácia externej flash pamäte, ako aj komunikácia s displejom. Týmto nielen že posielanie a prijímanie dát nespotrebuje výpočtový čas, ale takto celá komunikácia je rýchlejšia. Pre efektívnejší chod programu boli využité prerušenia (snímanie riadiacich tlačidiel, prijímanie kódov z diaľkového ovládača). Pri prijímaní IR kódov sa použili aj časovače, ktoré sú potrebné na presné načasovanie prijímača. Na takéto riadiace operácie nie je potrebné mať veľkú výpočtovú silu (v porovnaní s výpočtovou silou DSP procesoru), u niektorých operáciách kontrolér nepoužíva ani zabudovanú RAM pamäť, pracuje len s multifunkčnými registrami blízko ALU.

Situácia sa zmení pri výpočte koeficientov equalizéru do DSP. Signálový procesor pracuje s matematickým modelom filtra nazvaným ako biquad (IIR filter 2. rádu) Obrázok 2. Výpočet jednotlivých koeficientov equalizéru (1) (podrobnosti vid' [4]) je časovo náročná úloha, k výpočtu sú potrebné goniometrické funkcie a veľká presnosť. Pri predpoklade hĺbky vstupných vzoriek 24 bit presnosť aspoň 28 bit, alebo dátový typ floating point aspoň double. Obidve metódy výpočtov sú 8 bitovým mikrokontrolérom realizovateľné, ale sú časovo veľmi náročným, v reálnom čase nezvládateľným procesom. Možným riešením by bola výkonnejšia výpočtová jednotka, to ale nevyhovelo prvotným parametrom dizajnu, jednoduchosti. Optimálnym riešením bolo výpočet koeficientov len raz, a uloženie výsledkov do kontroléru. Veľkou výhodou tejto metódy je takmer okamžitá reakcia mikrokontroleru na požadované nastavenie. Koeficienty netreba vypočítavať, prekopírujú sa priamo z pamäte mikrokontroleru do vhodných registrov DSP. Nevýhodou tejto metódy je spotreba miesta v pamäti v mikrokontroleru. Problém ale nenastal ani v tomto prípade, mikrokontrolér má dostatočnú pamäť 128 kB a v porovnaní miesta potrebného pre koeficientov s miestom

ktoré potrebujú obrázky je spotreba zanedbateľná. Pomer výpočtový čas (výkonnosť kontroléru) a spotreba miesta v pamäti je v takto navrhnutom systéme najoptimálnejším riešením.

$$H(z) = \frac{\left(\frac{G_0 + G\beta}{1 + \beta}\right) - 2\left(\frac{G_0 \cos \omega_0}{1 + \beta}\right)Z^{-1} + \left(\frac{G_0 - G\beta}{1 + \beta}\right)Z^{-2}}{1 - 2\left(\frac{\cos \omega_0}{1 + \beta}\right)Z^{-1} + \left(\frac{1 - \beta}{1 + \beta}\right)Z^{-2}} \quad \text{kde } \beta = \sqrt{\frac{G_B^2 - G_0^2}{G^2 - G_B^2}} \tan\left(\frac{\Delta\omega}{2}\right) \quad (1)$$



**Obrázok 2:** Bloková schéma biquad filtra

### 3. ZÁVER

Použitím integrovaného DSP procesoru spolu s koncovými stupňami triedy D sa dosiahla maximálna flexibilita a minimálne rozmery kompletného systému. Pri programovaní sa zvolila metóda väčšia veľkosť kódu ale zároveň väčšia rýchlosť, týmto sa ušporilo na cene výpočtovej jednotky. Táto práca je súčasťou bakalárskej práce, je v experimentálnom štádiu, dokončuje sa software. Po dokončení sa chystá previesť podrobné merania hotového systému. Podrobnejší popis, výpočty, simulácie, obrazce plošných spojov a ukážky z zdrojových kódov bude možné nájsť v bakalárskej práci.

### POĎAKOVANIE

Tento príspevok vznikol za podpory výskumného zámeru MSM0021630513 „Elektronické komunikačné systémy a technológie nových generácií (ELKOM)“.

### REFERENCIE

- [1] ŠTÁL, P. Výkonové audio zesilovače pracujúce vo triede D - základní princípy a konstrukce. Praha: BEN - technická literatúra, 2008.
- [2] Texas Instruments [online]. Datasheet TAS5706 Evaluation modul - User's Guide. Texas Instruments, Inc., 2005 - [cit. 9.12.2010]. Dostupné na www: <http://focus.ti.com/lit/ug/slou220/slou220.pdf>
- [3] Texas Instruments [online]. Datasheet PCM1850A - 24-BIT, 96-kHz STEREO A/D CONVERTER WITH 6 x 2-CHANNEL MUX AND PGAE. Texas Instruments, Inc., 2005 - [cit. 5.12.2010]. Dostupné na www: <http://focus.ti.com/lit/ds/symlink/pcm1850a.pdf>
- [4] S. J. Orfanidis, Introduction to Signal Processing, online book, 2011, Dostupné na www: <http://www.ece.rutgers.edu/~orfanidi/intro2sp/>